

61282-067
10/804,178
YAMAGISHI
3-19-04

日 本 国 特 許 庁

JAPAN PATENT OFFICE

7-29-4
McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月20日

出 願 番 号
Application Number: 特願2003-078049
[ST. 10/C]: [JP2003-078049]

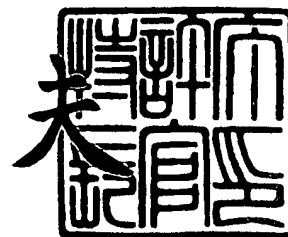
出 願 人
Applicant(s): 松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年12月10日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5037940192

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/28

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
 会社内

 【氏名】 山岸 司郎

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

 【氏名又は名称】 市川 利光

 【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DMA制御装置

【特許請求の範囲】

【請求項1】 リングバッファアドレスを発生するDMA制御装置であって

、
リングバッファのスタートアドレスを設定する第1のレジスタと、
リングバッファのスタートアドレスからエンドアドレスまでのDMA転送回数
を設定する第2のレジスタと、
リングバッファのエンドアドレスからスタートアドレスまでの差分を設定する
第3のレジスタと、
を備えるDMA制御装置。

【請求項2】 ある領域に含まれる矩形領域のDMA転送において、前記第
2のレジスタは矩形領域の連続領域におけるDMA転送回数を設定するレジスタ
として使用する請求項1記載のDMA制御装置。

【請求項3】 ある領域に含まれる矩形領域のDMA転送において、前記第
3のレジスタは非連続領域のアドレス増分を設定するレジスタとして使用する請
求項1または2記載のDMA制御装置。

【請求項4】 現在の転送アドレスを保持する第4のレジスタと、
前記第2のレジスタに設定されたDMA転送回数をカウントするカウンタと、
前記カウンタが前記第2のレジスタに設定されたDMA転送回数のカウントを
終了したときに前記第3のレジスタ値と前記第4のレジスタ値を加算する加算器
と、
を備える請求項1から3のいずれか一項記載DMA制御装置。

【請求項5】 リングバッファのDMA転送を実行するためのプログラムで
あって、コンピュータを、

リングバッファ転送の場合は、リングバッファのスタートアドレスを第1のレ
ジスタに設定する手段、リングバッファのスタートアドレスからエンドアドレス
までのDMA転送回数を第2のレジスタに設定する手段、リングバッファのエン
ドアドレスからスタートアドレスまでの差分を第3のレジスタに設定する手段と

して機能させ、

矩形転送の場合は、転送開始時のスタートアドレスを前記第1のレジスタに設定する手段、矩形領域の連続領域におけるDMA転送回数を前記第2のレジスタに設定する手段、非連続領域のアドレス増分を前記第3のレジスタに設定する手段として機能させるプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリと周辺装置との間でDMA方式によるデータ転送を行うDMA制御装置に関するものである。

【0002】

【従来の技術】

メモリと周辺装置との間のデータ転送を高速化するために、CPUを介さずにメモリと周辺装置との間でデータ転送を行うための専用のハードウェアとしてDMA制御装置が用いられている。図2から図7は従来のDMA制御装置を説明するための図であり、図2及び図3は矩形転送における非連続なメモリ領域からのDMA転送を説明するための図、図4はリングバッファにおけるデータ転送を説明するためのアドレス空間を示す図、図5はリングバッファにおけるデータ転送を説明するためのアドレス空間を示す図、図6は従来のDMA制御装置におけるアドレス発生回路部の構成例を示すブロック図、図7はDMA制御装置（DMAC）を使用する一般的なシステムLSIの構成例を示すブロック図である。

【0003】

図7において、高速バス711にバスマスタとなるCPU701とDMAC702が接続されており、バススレーブとしてROM703、RAM704、SDRAM706、バスブリッジ705が接続されている。バスブリッジ705は、高速バス711と低速バス712との間に位置し、低速バス712には、シリアル装置707、蓄積メディア装置708、USB装置709が接続されている。

【0004】

図6において、アドレス発生回路部601はDMAC702においてリングバ

ッファ転送及び矩形転送が実現可能な構成となっている。

【0005】

まず、矩形転送の動作について説明する。図7のSDRAM706上に画像データが保存されているような場合に、その画像全体ではなく画像データの一部をRAM704上にDMA転送して処理したいことがある。これは、例えば、携帯電話における待ち受け画面と、その一部であるアンテナ（待ち受け状態を表示）の画像などである。このように画像データの一部を転送するような場合に矩形転送が使用される。

【0006】

図2及び図3に示す矩形転送における非連続なメモリ領域からのDMA転送において、図3は画像領域301とその一部の矩形領域302と関係を示し、図2はアドレス空間における矩形領域302の配置を示している。

【0007】

図3において矩形領域302を転送するためには、連続してDMA転送すべき領域（連続領域）のデータ長L1についてのみDMA転送を行い、DMA転送が不要な領域（非連続領域）のデータ長L2については転送を行わない。これを図2のアドレス空間で示すと、矩形領域302を転送するためにはアドレス201～202、203～204、205～206のような領域を転送することになる。

【0008】

すなわち、201をスタートアドレスとしてアドレス202までのデータ長L1のデータを転送後、データ長L2の領域は転送不要なデータであるので、転送アドレスはアドレス202からアドレス203へジャンプする。同様に、アドレス203からアドレス204までデータ長L1の領域を転送し、転送アドレスをアドレス204からアドレス205にジャンプさせる。このようにして矩形領域への転送を行う。

【0009】

上記のような矩形アドレスをアドレス発生回路601で発生する動作を説明する。まず、CPU701からDMAC702に対してのレジスタ設定によりDM

A 転送パラメータが設定される。このとき、レジスタ 602 にスタートアドレスが、レジスタ 606 に連続領域の DMA 転送回数が、レジスタ 605 に非連続領域のアドレス増分がそれぞれ設定される。

【0010】

次に DMA 転送が開始される。まず、スタートアドレスが設定されたレジスタ 602 の値がマルチプレクサ 610 により選択され、転送アドレス出力を保持するレジスタ 611 及び転送アドレスを内部で参照するために設けられたレジスタ 603 にセットされる。

【0011】

その後、アドレスインクリメント量を保持するレジスタ 604 の値とマルチプレクサ 608 によって選択された転送アドレスを保持するレジスタ 603 の値が加算器 609 によって加算され、これがマルチプレクサ 610 によって選択され、レジスタ 611 及びレジスタ 603 に再度セットされる。

【0012】

アドレスインクリメント量は、通常のアドレスを 1 つずつ増加させて転送する場合は 1 であり、32 ビットバスで 8 ビット毎にアドレスが割り振られているような場合には 4 となる。ここで現在の転送アドレスを ADC、次回の転送アドレスを ADN とし、インクリメント量を AI とすると、「 $ADN = ADC + AI$ 」となる。

【0013】

一方、連続領域の DMA 転送回数が設定されたレジスタ 606 の値は DMA 転送開始時にカウンタ 607 にロードされ、DMA 転送サイクル毎にカウンタ 607 をカウントダウンしていく。カウンタ 607 のアンダーフロー発生は連続領域の DMA 転送の終了を示す。このとき、マルチプレクサ 608 は非連続領域のアドレス増分を加算するために加算器 615 の出力を選択し、カウンタ 607 にはレジスタ 606 の値を再度ロードする。

【0014】

加算器 615 は非連続領域のアドレス増分が設定されているレジスタ 605 と現在の転送アドレスが保持されているレジスタ 603 を加算する。ここで非連続

領域のアドレス増分を ADR とすると、次回の転送アドレス ADN は、「 $ADN = ADC + ADR + AI$ 」となる。

【0015】

ここで、ADR と AI を加算する理由は、連続領域の最後のアドレスは非連続領域の最初のアドレスよりも AI だけ少ないためであり、連続領域の最後のアドレスに非連続領域のアドレス増分を加算すると、非連続領域の最後のアドレスになるからである。

【0016】

このように、カウンタ 607 のアンダーフロー発生時にマルチプレクサ 608 を切り換えることにより次の連続領域のスタートアドレスにジャンプすることで、図 3 に示したような矩形領域の DMA 転送を実現している。

【0017】

次に、リングバッファの動作について説明する。シリアル装置 707 や USB 装置 709 からのデータは、一般的に、シリアル装置 707 や USB 装置 709 内部にある FIFO 等のメモリに蓄積され、DMAC 702 によって RAM 704 や SDRAM 706 へ転送される。このような連続的なデータを順次受信する場合は、RAM 704 上のある一定の範囲をリングバッファとして構成することがある。

【0018】

図 4 及び図 5 に示すリングバッファにおけるデータ転送を説明するためのアドレス空間において、401 はリングバッファのスタートアドレスであり、402 はリングバッファのエンドアドレスである。

【0019】

USB 装置 709 等から受信したデータはスタートアドレス 401 から順次蓄積されていくが、アドレス 402 に到達した時点でアドレス 401 に転送アドレスを戻すこととなる。リングバッファから読み出す場合も同様にスタートアドレス 401 から順次リードしていくが、アドレス 402 に到達した時点でアドレス 401 に転送アドレスを戻すこととなる。

【0020】

ここでWPはメモリにライトする側のDMA制御装置の転送アドレスであり、RPはメモリからリードする側のDMA制御装置の転送アドレスである。WPとRPとは同時に動作しており、図4において、領域M1はライトされかつリードされた領域であり、領域M2は1度ライトされたがリード待ち状態にある領域であり、領域M3は未だデータがライトされていない領域である。

【0021】

図5は図4から一定時間が経過しWPが402で折り返した状態を示している。領域M4は2度目のライトが行われており、リードは1度行われたが2度目にライトしたデータは未だ読み出されていない領域である。領域M5は1度ライトされかつ1度リードされた領域である。領域M6は1度ライトされたが1度目のリード待ち状態にある領域である。

【0022】

このようなリングバッファのデータ転送を実現するために、従来のDMA制御装置においては、リングバッファのスタートアドレスを指定するレジスタ612と、リングバッファのエンドアドレスを指定するレジスタ613と、現在の転送アドレスを保持するレジスタ603とレジスタ613を比較するための比較器614とを設け、比較器614の結果によりマルチプレクサ610がリングバッファのスタートアドレスを保持するレジスタ612を選択するように構成している（例えば、特許文献1参照）。

【0023】

【特許文献1】

特開平6-4458号公報

【0024】

【発明が解決しようとする課題】

しかしながら上記従来の方法では、リングバッファのDMA転送を実現するために、リングバッファのスタートアドレスレジスタや、エンドアドレスレジスタと比較器等のリングバッファ専用の回路を追加する必要がある。

【0025】

また、汎用的に使用されるDMA制御装置においては、リングバッファ転送だ

けでなく前述した矩形領域ような非連続領域の転送をもサポートしなくてはならない場合も多い。このような汎用のDMA制御装置に対する機能追加の要望を全てサポートするには、図6のように回路構成が複雑になるため回路規模が増加してしまうという問題があった。この問題は、特にDMA転送を行う複数の周辺装置と複数のチャンネルを有する場合に顕著となる。

【0026】

本発明は上記従来の問題点を解決するもので、リングバッファのDMA転送を実現するために、矩形転送とリングバッファ転送を同一の回路で実現可能にすることにより、リングバッファ専用の回路追加を不要にして回路規模を削減することができるDMA制御装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

請求項1のDMA制御装置は、リングバッファアドレスを発生するDMA制御装置であって、リングバッファのスタートアドレスを設定する第1のレジスタと、リングバッファのスタートアドレスからエンドアドレスまでのDMA転送回数を設定する第2のレジスタと、リングバッファのエンドアドレスからスタートアドレスまでの差分を設定する第3のレジスタとを備えるものである。

【0028】

上記構成によれば、汎用的な第1から第3のレジスタ回路によりリングバッファのDMA転送を実現することができ、リングバッファ専用の回路追加が不要になり、回路規模を削減することができる。

【0029】

請求項2のDMA制御装置は、請求項1記載のDMA制御装置において、ある領域に含まれる矩形領域のDMA転送の際に、前記第2のレジスタは矩形領域の連続領域におけるDMA転送回数を設定するレジスタとして使用するものである。

【0030】

上記構成によれば、リングバッファのスタートアドレスからエンドアドレスまでのDMA転送回数を設定する第2のレジスタについて、矩形転送とリングバッ

ファ転送を同一の回路で実現することが可能になり、回路規模を削減することができる。

【0031】

請求項3のDMA制御装置は、請求項1または2記載のDMA制御装置において、ある領域に含まれる矩形領域のDMA転送の際に、前記第3のレジスタは非連続領域のアドレス増分を設定するレジスタとして使用するものである。

【0032】

上記構成によれば、リングバッファのエンドアドレスからスタートアドレスまでの差分を設定する第3のレジスタについて、矩形転送とリングバッファ転送を同一の回路で実現することが可能になり、回路規模を削減することができる。

【0033】

請求項4のDMA制御装置は、請求項1から3のいずれか一項記載DMA制御装置において、現在の転送アドレスを保持する第4のレジスタと、前記第2のレジスタに設定されたDMA転送回数をカウントするカウンタと、前記カウンタが前記第2のレジスタに設定されたDMA転送回数のカウントを終了したときに前記第3のレジスタ値と前記第4のレジスタ値を加算する加算器とを備えるものである。

【0034】

上記構成によれば、汎用的な第1から第4のレジスタ回路とDMA転送回数をカウントするカウンタを用いた回路構成により、リングバッファのDMA転送と矩形領域のDMA転送とを同一の回路で実現することができるため、リングバッファ専用の回路追加が不要になり、回路規模を削減することができる。

【0035】

請求項5のプログラムは、リングバッファのDMA転送を実行するためのプログラムであって、コンピュータを、リングバッファ転送の場合は、リングバッファのスタートアドレスを第1のレジスタに設定する手段、リングバッファのスタートアドレスからエンドアドレスまでのDMA転送回数を第2のレジスタに設定する手段、リングバッファのエンドアドレスからスタートアドレスまでの差分を

第3のレジスタに設定する手段として機能させ、矩形転送の場合は、転送開始時のスタートアドレスを前記第1のレジスタに設定する手段、矩形領域の連続領域におけるDMA転送回数を前記第2のレジスタに設定する手段、非連続領域のアドレス増分を前記第3のレジスタに設定する手段として機能させるものである。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。図1は本発明の一実施の形態に係るDMA制御装置におけるアドレス発生回路部の構成を示すブロック図である。

【0037】

図1において、アドレス発生回路101は、CPUからアクセス可能なDMA制御レジスタ102、105、106、DMAの転送アドレスを保持するレジスタ111、内部の制御レジスタ103、104、カウンタ107、マルチプレクサ108、110、加算器109を備える。

【0038】

まずリングバッファへの転送を実現するための動作について説明する。レジスタ102はリングバッファのスタートアドレスを設定するレジスタであり、レジスタ106はリングバッファのスタートアドレスからエンドアドレスまでの転送回数を設定するレジスタであり、レジスタ105はリングバッファのスタートアドレスからエンドアドレスまでの差分を2の補数で設定するレジスタである。

【0039】

制御プログラムの実行により、DMA転送開始前に各レジスタには、所望のDMAデータ転送を行うための値が設定される。DMA転送開始直後は、マルチプレクサ110はレジスタ102の値をレジスタ111及びレジスタ103に受け渡し、DMA制御装置からはレジスタ111の値がリングバッファのスタートアドレスとして出力される。

【0040】

その後は、マルチプレクサ110は加算器109からの出力を選択するが、マルチプレクサ108は通常、DMA転送サイクル毎のアドレスインクリメント量

を保持するレジスタ104を選択し、レジスタ104の値と現在の転送アドレスを保持するレジスタ103の値とが加算器109に入力されているため、レジスタ103の値とレジスタ104の加算値がレジスタ111にセットされる。

【0041】

これにより、リングバッファの転送領域においてアドレスが順次インクリメントされていく。一方、リングバッファのサイズ情報を保持するレジスタ106の値は転送開始と同時にカウンタ107にロードされ、DMA転送サイクル毎にカウンタ107がデクリメントされる。

【0042】

DMA転送アドレスがリングバッファのエンドアドレスに到達するとカウンタ107がアンダーフローする。カウンタ107のアンダーフロー発生時には、マルチプレクサ108はレジスタ105を選択する。これにより、加算器109はレジスタ103の値とレジスタ105の値を加算する。

【0043】

レジスタ105にはリングバッファのエンドアドレスとスタートアドレスの差分が2の補数で設定されているため、レジスタ103の値から差分を減算することになり、レジスタ111及びレジスタ103にはリングバッファのスタートアドレスが設定される。

【0044】

カウンタ107のアンダーフロー発生時のアドレス計算を式で示すならば、レジスタ103に保持された現在の転送アドレスをADC、次回の転送アドレスをADNとすれば、レジスタ105にはリングバッファのエンドアドレスをAREとスタートアドレスをARSの差分 $ARS - ARE$ が設定されているため、「 $ADN = ADC + (ARS - ARE)$ 」となる。

【0045】

ここで、カウンタ107のアンダーフロー発生時にはADCはリングバッファのエンドアドレスAREと等しいので、「 $ADN = ARS$ 」となり、次回転送アドレスはリングバッファのスタートアドレスとなる。上述のような動作を繰り返すことにより、図1の回路構成にてリングバッファへのデータ転送が実現できる

。

【0046】

一方、矩形領域への転送を実現するには、レジスタ102にDMA転送を開始するスタートアドレスを設定し、レジスタ106には連続転送領域のDMA転送回数を設定し、レジスタ105は非連続領域のアドレス増分を設定する。

【0047】

このときの動作は前述したリングバッファと同様であるが、カウンタ107のアンダーフロー発生時にマルチプレクサ108が選択するレジスタ105には非連続領域のアドレス増分が設定されているため、非連続領域のアドレス増分をADR、現在の転送アドレスをADC、次回の転送アドレスをADN、通常の転送アドレスインクリメント量をAIとすると、「 $ADN = ADC + ADR + AI$ 」となる。

【0048】

この演算を行うために従来技術では2つの加算器が使用されていた。例えば、32ビットバスで8ビット毎にアドレスが割り振られているような場合に32ビット毎のDMA転送を行うならば、通常のアドレスインクリメント量は4となる。このような場合に対しては、「 $ADN = ADC + ADR + 4$ 」を演算する必要がある、そのままでは1つの演算では対応できない。

【0049】

これを1つの加算器で実現するには2つの手段がある。一つは、非連続領域のアドレス増分を設定するレジスタ105に対して、ADRの代わりに $ADR + 4$ を設定する方法である。もう一つの方法は、加算器を制御して4を余計に加算する方法である。

【0050】

後者については、例えば、転送アドレスが32ビット毎に整列されている32ビット毎のDMA転送であれば、アドレスの下位2ビットは0であるので、アドレス下位2ビットをとともに1に固定することにより3を加算するように擬制することができる。これにキャリー操作を加えることにより、「 $ADN = ADC + ADR + 3 + 1$ 」（キャリー操作）とすることができる。

【0051】

ただし、このように加算器回路の制御を固定した場合は、前述のリングバッファ転送の際にもこの制御が有効になってしまうため、リングバッファのスタートアドレスとエンドアドレスの差分を設定するレジスタ5には、「 $ARS - (ARE + 4)$ 」を設定しなければならない。

【0052】**【発明の効果】**

以上説明したように、本発明によれば、レジスタとDMA転送回数をカウントするカウンタを用いた汎用的な回路構成により、リングバッファのDMA転送と矩形領域のDMA転送とを同一の回路で実現することができ、リングバッファ専用の回路追加を不要になり、DMA制御装置の回路規模を削減することができる。

【図面の簡単な説明】**【図1】**

本発明の一実施の形態に係るDMA制御装置におけるアドレス発生回路部の構成を示すブロック図。

【図2】

矩形転送におけるアドレス空間の矩形領域配置を示す図。

【図3】

矩形転送における連続部と非連続部の関係を説明する図。

【図4】

リングバッファにおけるデータ転送を説明するためのアドレス空間を示す図。

【図5】

リングバッファにおけるデータ転送を説明するためのアドレス空間を示す図。

【図6】

従来のDMA制御装置におけるアドレス発生回路部の構成例を示すブロック図。

【図7】

DMA制御装置を使用するシステムLSIの構成例を示すブロック図。

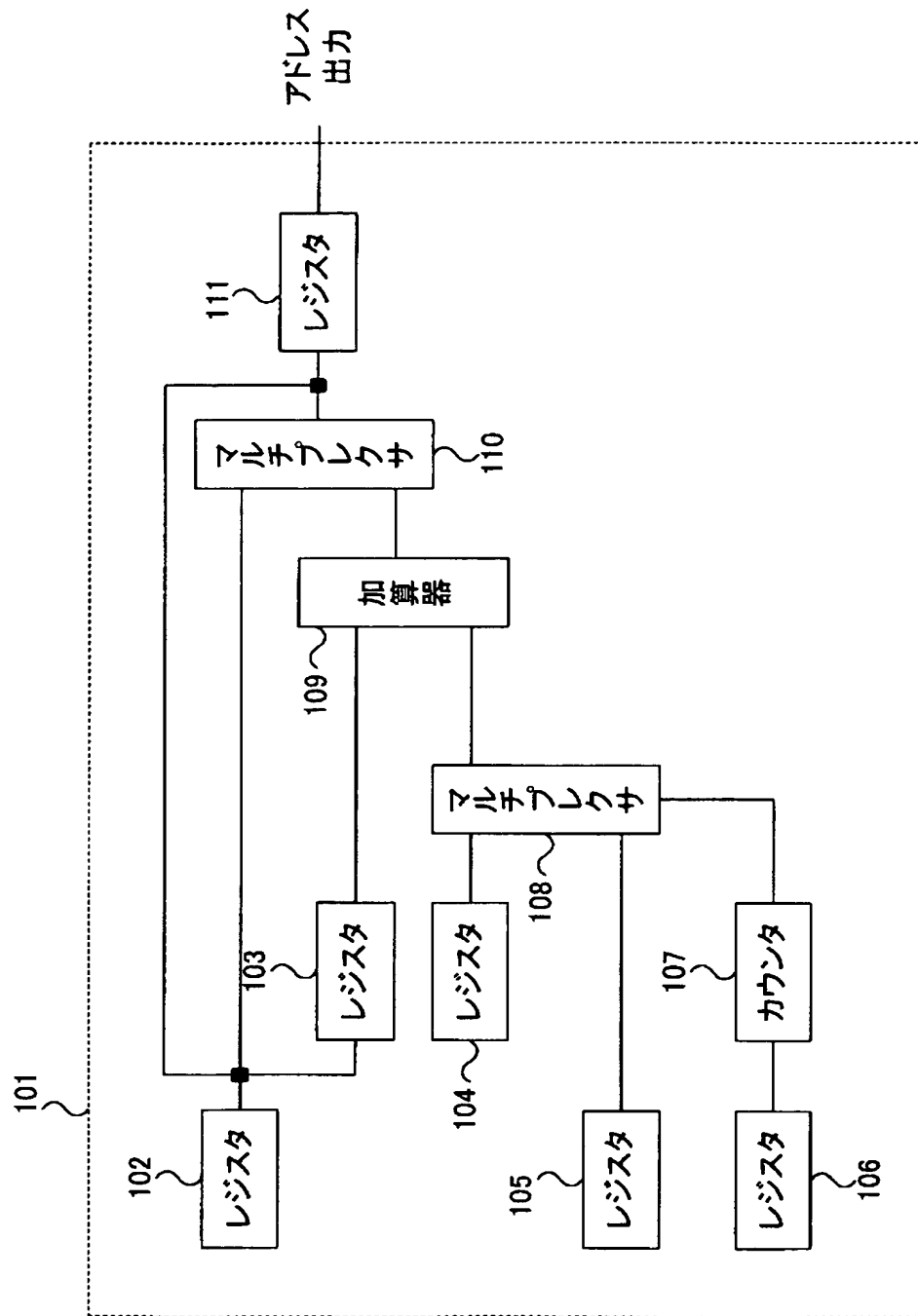
【符号の説明】

101、601 アドレス発生回路
102、103、104、105、106、111、602、603、604
、605、606、611、612、613 レジスタ
107、607 カウンタ
108、110、608、610 マルチプレクサ
109、609、615 加算器
201～206、401、402 アドレス
301 画像領域
302 画像領域中の矩形領域
614 比較器
701 CPU
702 DMA制御装置
703 ROM
704 RAM
705 バスブリッジ
706 SDRAM
707 シリアル装置
708 蓄積メディア装置
709 USB装置
711 高速バス
712 低速バス

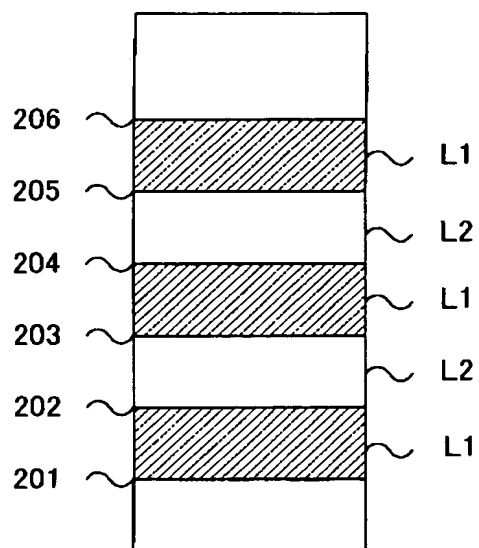
【書類名】

図面

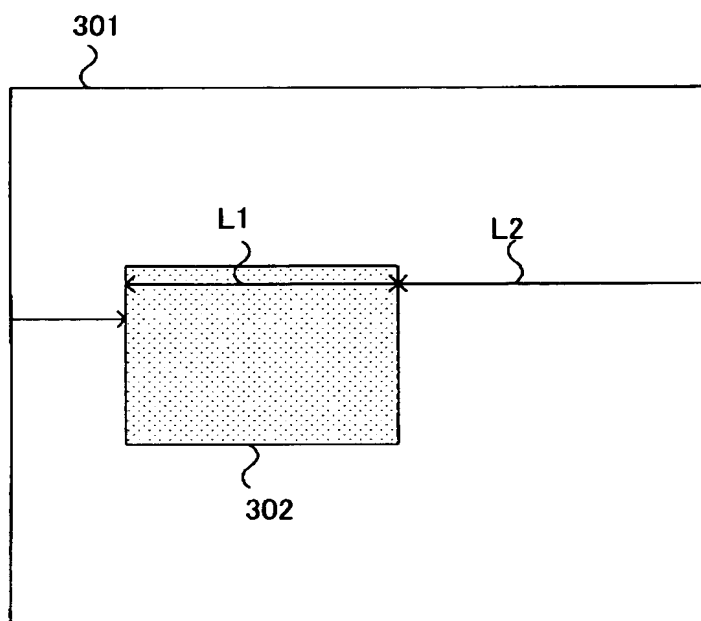
【図 1】



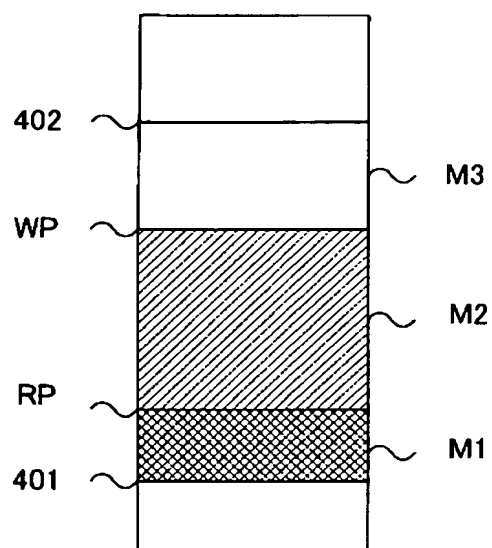
【図 2】



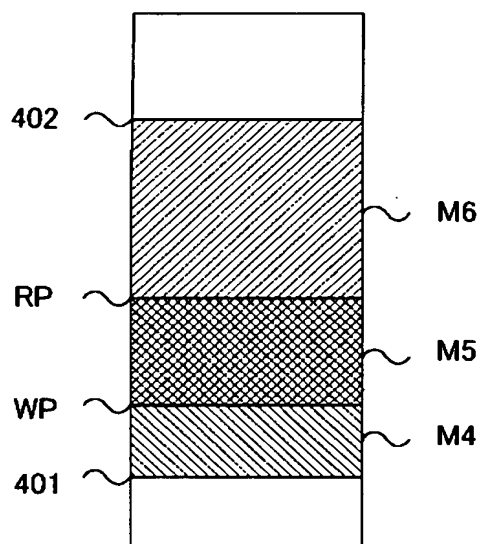
【図 3】



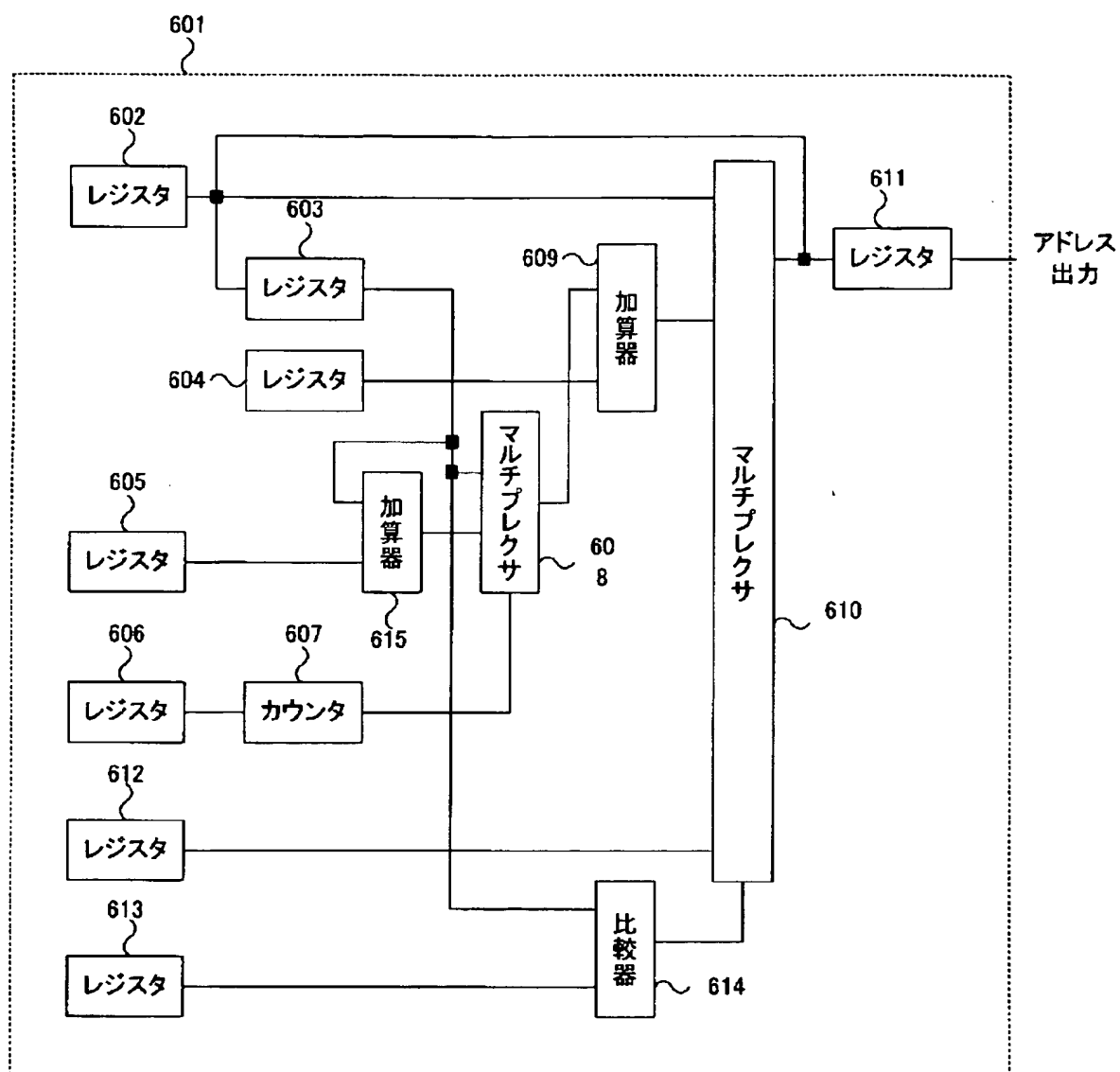
【図 4】



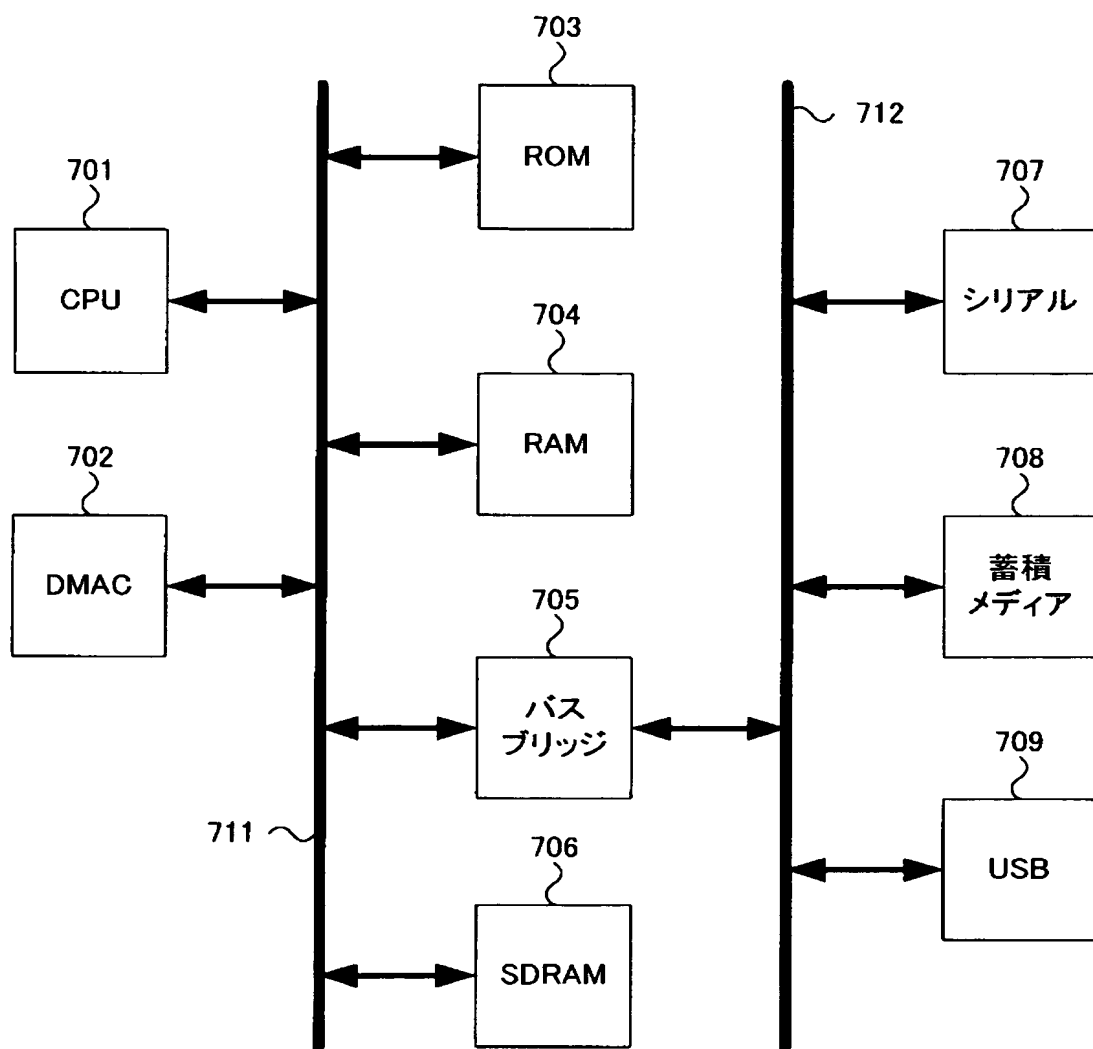
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 矩形転送とリングバッファ転送を同一の回路で実現可能にすることにより、回路規模を削減する。

【解決手段】 リングバッファのスタートアドレスを設定するレジスタ102と、現在の転送アドレスを保持するレジスタ103と、スタートアドレスからエンドアドレスまでのDMA転送回数を設定するレジスタ106と、エンドアドレスからスタートアドレスまでの差分を設定するレジスタ105と、レジスタ106に設定されたDMA転送回数をカウントするカウンタ107とを備える。矩形領域のDMA転送の際にはレジスタ106には連続領域におけるDMA転送回数を設定し、レジスタ105には非連続領域のアドレス増分を設定する。カウンタ107のカウント終了時にはレジスタ103の値とレジスタ105の値を加算して次のアドレスとする。

【選択図】 図1

特願 2 0 0 3 - 0 7 8 0 4 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社